

Оглавление

| | |
|---|----------|
| Предисловие | 3 |
| 1. Начало работы с временным анализатором TimeQuest | 7 |
| 1.1. Временной анализ в пакете Quartus с помощью анализатора TimeQuest | 7 |
| 1.1.1. Настройки Quartus для выполнения временного анализа | 7 |
| 1.1.2. Компиляция проекта для выполнения временного анализа | 9 |
| 1.1.3. Запуск TimeQuest | 10 |
| 1.1.4. Графический интерфейс GUI анализатора TimeQuest | 10 |
| 1.1.5. Создание файла временных ограничений SDC | 13 |
| 1.1.6. Корректировка файла временных ограничений SDC | 14 |
| 1.2. Синхронизация ядра проекта | 15 |
| 1.2.1. Получение помощи о командах SDC-файла | 15 |
| 1.2.2. Определение синхросигналов источника (create_clock) | 16 |
| 1.2.3. Просмотр результатов временного анализа | 21 |
| 1.2.4. Диагностика временных ограничений | 23 |
| 1.2.5. Определение групп синхросигналов (set_clock_groups) | 25 |
| 1.2.6. Добавление команд derive_pll_clocks и derive_clock_uncertainty | 27 |
| 1.3. Синхронизация ввода-вывода | 29 |
| 1.3.1. Понятия виртуальных синхросигналов | 29 |
| 1.3.2. Создание виртуальных синхросигналов (create clock) | 29 |
| 1.3.3. Определение входных и выходных ограничений (set_input_delay, set_output_delay) | 30 |
| 1.4. Анализ результатов | 35 |
| 1.4.1. Итеративный метод анализа результатов | 35 |
| 1.4.2. Отчеты анализатора TimeQuest | 35 |
| 1.4.3. Временной анализ с помощью макроса Report All Summaries | 36 |
| 1.4.4. Макросы TimeQuest | 40 |
| 1.4.5. Отчеты пользователя | 42 |
| 1.4.6. Инструмент детального временного анализа report_timing | 60 |
| 1.4.7. Отчеты спецификации | 67 |
| 1.4.8. Отчеты специальных устройств FPGA | 68 |

| | |
|--|------------|
| 1.5. Выводы | 68 |
| 2. Основы временного анализа | 71 |
| 2.1. Терминология анализатора TimeQuest | 71 |
| 2.1.1. Элементы временного анализа | 71 |
| 2.1.2. Временной список соединений (Timing Netlist) | 72 |
| 2.1.3. Пути синхронизации (Timing Paths) | 73 |
| 2.1.4. Микрозадержки регистра (uTsu и uTh) | 73 |
| 2.1.5. Отношения между синхросигналами | 74 |
| 2.1.6. Фронт запуска и фронт захвата, отношение установки и отношение удержания | 75 |
| 2.1.7. Время прибытия данных, требуемое время данных и временной запас | 78 |
| 2.2. Проверки, выполняемые анализатором TimeQuest | 81 |
| 2.2.1. Проверка установки синхросигналов | 81 |
| 2.2.2. Проверка удержания синхросигналов | 84 |
| 2.2.3. Проверка времени восстановления и времени удаления | 85 |
| 2.3. Мультициклы и мультицикловые пути | 88 |
| 2.4. Максимальная и минимальная задержки | 90 |
| 2.4.1. Введение максимальных и минимальных задержек .. | 90 |
| 2.4.2. Применение максимальных и минимальных задержек .. | 92 |
| 2.4.3. Опасности применения максимальных и минимальных задержек | 92 |
| 2.5. Метастабильность | 93 |
| 2.5.1. Метастабильность регистров | 93 |
| 2.5.2. Буферы против метастабильности регистров | 95 |
| 2.5.3. Среднее время наработки на отказ (MTBF) из-за мета- стабильности регистров | 96 |
| 2.5.4. Улучшение MTBF метастабильности | 97 |
| 2.5.5. Управление метастабильностью | 98 |
| 2.6. Удаление пессимизма общих путей синхронизации | 98 |
| 2.7. Анализ синхросигналов как данные | 100 |
| 2.8. Дополнительные параметры синхросигналов | 101 |
| 2.8.1. Латентность синхросигналов | 102 |
| 2.8.2. Неопределенность синхросигналов | 104 |
| 2.9. Перекос синхросигналов | 106 |
| 2.10. Выводы | 108 |
| 3. Создание временных ограничений | 114 |
| 3.1. Создание синхросигналов | 114 |
| 3.1.1. Создание базовых синхросигналов (create_clock) | 115 |
| 3.1.2. Автоматическое создание базовых синхросигналов (de- rive_clocks) | 117 |

| | |
|--|------------|
| 3.1.3. Создание виртуальных синхросигналов | 118 |
| 3.1.4. Создание сгенерированных синхросигналов (create_generated_clock) | 121 |
| 3.1.5. Автоматическое создание синхросигналов блока PLL (derive_pll_clocks) | 124 |
| 3.1.6. Создание групп синхросигналов (set_clock_groups) | 127 |
| 3.2. Создание ограничений ввода-вывода | 129 |
| 3.2.1. Создание входных ограничений (set_input_delay) | 129 |
| 3.2.2. Создание выходных ограничений (set_output_delay) .. | 131 |
| 3.3. Создание мультицикловых путей (set_multicycle_path) . | 132 |
| 3.4. Определение максимальных и минимальных задержек (set_max_delay, set_min_delay) | 135 |
| 3.5. Определение ложных путей (set_false_path) | 137 |
| 3.6. Запрещение фронта синхронизации (set_disable_timing) .. | 138 |
| 3.7. Определение задержки источника синхросигналов (set_clock_latency) | 138 |
| 3.8. Определение неопределенности синхросигналов (derive_clock_uncertainty, set_clock_uncertainty) | 139 |
| 3.9. Определение максимального перекоса синхросигналов (set_max_skew) | 140 |
| 3.10. Создание ограничений сети (set_net_delay) | 142 |
| 3.11. Изменение значений задержек по умолчанию (set_annotated_delay, set_timing_derate) | 143 |
| 3.12. Определение активных синхросигналов (set_active_clock) .. | 145 |
| 3.13. Определение формата времени (set_time_format) | 146 |
| 3.14. Определение максимального размера анализируемого цикла (set_scc_mode) 120 | 147 |
| 3.15. Приоритет ограничений | 148 |
| 3.15.1. Приоритет между различными ограничениями | 148 |
| 3.15.2. Приоритет между равными ограничениями | 150 |
| 3.15.3. Приоритет между многократными ограничениями одного и того же узла | 150 |
| 3.15.4. Приоритет между созданными автоматически и пользовательскими ограничениями | 151 |
| 3.16. Выводы | 152 |
| 4. Применение временного анализа | 157 |
| 4.1. Определение отношений установки и удержания по умолчанию | 157 |
| 4.1.1. Прорисовка временных диаграмм на основании описаний в SDC-файлах | 158 |
| 4.1.2. Определение отношений установки по умолчанию ... | 160 |
| 4.1.3. Определение отношений удержания по умолчанию ... | 163 |

| | |
|---|------------|
| 4.1.4. Проверка вычисленных отношений установки и удержания по умолчанию с помощью анализатора TimeQuest .. | 165 |
| 4.2. Некоторые особенности при определении отношений установки и удержания по умолчанию | 167 |
| 4.2.1. Анализ отрицательного фронта | 167 |
| 4.2.2. Периодичность | 169 |
| 4.2.3. Отношение между несвязанными синхросигналами .. | 170 |
| 4.2.4. Влияние фазового сдвига на установку и удержание . | 171 |
| 4.3. Применение мультициклов | 173 |
| 4.3.1. Ослабление ограничений установки | 173 |
| 4.3.2. Учет фазового сдвига | 174 |
| 4.3.3. Определение отношений мультицикла | 176 |
| 4.3.4. Применение мультицикла для модификации отношений установки | 177 |
| 4.3.5. Определение отношения удержания по умолчанию в случае использования мультицикла | 179 |
| 4.3.6. Применение мультицикла для модификации отношений удержания | 180 |
| 4.3.7. Выполнение проверки задания значений мультицикла в TimeQuest | 181 |
| 4.3.8. Проектирование с мультициклами | 182 |
| 4.4. Синхронизация ввода-вывода | 182 |
| 4.4.1. Создание виртуальных сигналов ввода-вывода | 183 |
| 4.4.2. Добавление команд <code>set_input_delay</code> и <code>set_output_delay</code> для портов ввода-вывода | 183 |
| 4.4.3. Определение отношений установки и удержания по умолчанию между синхросигналами FPGA и виртуальными синхросигналами | 184 |
| 4.4.4. Добавление мультициклов | 187 |
| 4.4.5. Определение значений задержек в опциях <code>-min</code> и <code>-max</code> | 188 |
| 4.5. Выводы | 192 |
| 5. Язык сценариев Tcl | 196 |
| 5.1. Особенности языка Tcl | 196 |
| 5.2. Элементы синтаксиса языка Tcl | 197 |
| 5.2.1. Скрипты, команды, слова и комментарии | 197 |
| 5.2.2. Вывод сообщений | 198 |
| 5.2.3. Переменные | 198 |
| 5.2.4. Подстановки и группирование аргументов | 199 |
| 5.2.5. Выражения | 201 |
| 5.2.6. Списки | 203 |
| 5.2.7. Массивы | 206 |
| 5.2.8. Управляющие структуры | 206 |

| | |
|--|-----|
| 5.2.9. Процедуры | 209 |
| 5.2.10. Файлы ввода-вывода | 213 |
| 5.3. Реализация языка Tcl в программном обеспечении Quartus | 214 |
| 5.3.1. Возможности языка Tcl в программном обеспечении Quartus | 214 |
| 5.3.2. Пакеты команд языка Tcl в программном обеспечении Quartus | 215 |
| 5.3.3. Получение помощи в пакетном режиме | 217 |
| 5.3.4. Опции командной строки | 224 |
| 5.3.5. Окно консоли Tcl | 227 |
| 5.3.6. Маршрут процесса проектирования | 227 |
| 5.4. Использование языка Tcl в программном обеспечении Quartus | 228 |
| 5.4.1. Создание проекта и выполнение назначений | 228 |
| 5.4.2. Компиляция проекта | 229 |
| 5.4.3. Анализ отчетов | 230 |
| 5.4.4. Доступ к аргументам командной строки | 232 |
| 5.5. Применение языка Tcl для временного анализа | 232 |
| 5.5.1. Наборы | 233 |
| 5.5.2. Команды для работы с наборами | 234 |
| 5.5.3. Генерация отчетов временного анализа | 234 |
| 5.5.4. Определение максимальной частоты функционирования проекта | 235 |
| 5.6. Выводы | 236 |
| Заключение | 243 |
| Приложение А. Команды пакета sdc | 244 |
| Приложение Б. Команды пакета sdc_ext | 270 |
| Приложение В. Команды пакета sta | 283 |
| Литература | 348 |
| Список сокращений | 349 |
| Предметный указатель | 350 |