

Предисловие

Технический прогресс неминуемо ставит новые вызовы перед разработчиками цифровой аппаратуры, при этом усложняются технические системы и решаемые ими задачи, что требует автоматизации процесса разработки аппаратуры на более высоких уровнях проектирования. В связи с этим появляются новые проблемы при разработке аппаратных средств, особенно сложных систем с большим числом компонентов и разнообразными соединениями между компонентами. Важную роль в современных цифровых системах также играют транзакции, которые поддерживаются аппаратными блоками, обеспечивающими обмен данными по стандартным или фирменным протоколам передачи данных.

С другой стороны, все эти сложные цифровые блоки и системы необходимо тестировать, желательно на всех уровнях проектирования. Одним из способов верификации устройств и систем является событийное моделирование, выполняемое на компьютере с помощью программных средств. Отметим также, что возрастание сложности цифровых систем сопровождается ужесточением требований к срокам разработки и повышению надежности проектов.

Практика инженерного проектирования показывает, что возможностей языка описания аппаратуры Verilog становится уже недостаточно для разработки современных цифровых систем. В результате активной деятельности различных инициативных групп разработчиков были предложены усовершенствования языка Verilog, что привело к появлению нового языка проектирования цифровой аппаратуры SystemVerilog.

Язык SystemVerilog полностью наследует язык Verilog и предоставляет новые возможности для разработки больших и сложных проектов на самых верхних уровнях проектирования: системном, абстрактном и уровне транзакций. Кроме того, язык SystemVerilog включает новые языковые конструкции верификации проектов, обеспечивающие новые возможности для описания тестового окружения сложного проекта. В результате получился язык с очень широкими и разнообразными возможностями, которые трудно в деталях описать в одной книге. В предлагаемой работе в основном описываются конструкции языка SystemVerilog, которые предназначены для синтеза. При этом нельзя полностью умолчать о некоторых конструкциях

языка, используемых только для моделирования. Поэтому эти языковые конструкции также будут упомянуты в данной книге.

Книга содержит 18 глав и одно приложение.

Глава 1 является вводной. В ней кратко излагается история языка SystemVerilog и его первоисточники, рассматриваются базовые элементы и основные конструкции языка, указываются усовершенствования языка SystemVerilog для синтеза.

В главе 2 описываются модули. Модуль является главной структурной единицей языков Verilog и SystemVerilog. Новым в языке SystemVerilog является удобство передачи сигналов через порты модулей, когда имена сигналов совпадают с именами портов. Кроме переменных и сетей язык SystemVerilog позволяет передавать через порты модулей массивы, структуры, объединения и интерфейсы. Дополнительно, переменные могут передаваться по ссылке. Новым также является то, что в качестве параметров модулей могут выступать типы данных.

В главе 3 рассматриваются основные типы данных: сети, переменные, векторы, константы, целые и действительные числа, а также строки. В языке Verilog каждый бит данных может принимать 4 значения или состояния. Однако на абстрактном уровне и в языках программирования используются типы с 2 состояниями. В языке SystemVerilog введены новые типы данных `logic` для представления данных с 4-мя состояниями и `bit` для представления данных с 2-мя состояниями. Кроме того, расширены типы целых и действительных чисел для согласования с языком программирования C. В языке SystemVerilog, по сравнению с Verilog, существенно расширены места для объявления и инициализации переменных.

Глава 4 посвящена пользовательским и перечисляемым типам. Если основных типов данных недостаточно для представления данных проекта, пользователь может объявить свои собственные типы данных. Перечисляемые типы данных позаимствованы языком SystemVerilog из языка программирования C.

В главе 5 рассматриваются вопросы совместимости и приведения типов данных, представлены уровни совместимости типов данных. Если в языке SystemVerilog типы данных объектов являются несовместимыми, то один тип данных можно привести к другому с помощью операции приведения типов или системной функции.

В главе 6 представлены структуры и объединения языка SystemVerilog, которые во многом совпадают со структурами и объединениями языка C. Особенностью структур и объединений языка SystemVerilog является то, что они могут быть распакованными или упакованными (в виде битового вектора), могут передаваться через порты модулей, быть аргументами задач и функций. Кроме того, в языке SystemVerilog имеются теговые объединения, которые обеспечивают дополнительный уровень защиты от случайного считывания информации.

В главе 7 рассматриваются массивы. Поскольку массивы очень широко используются в проектах на системном уровне, язык SystemVerilog значи-

тельно расширяет возможности пользователя при работе с массивами. С этой целью введены новые операции над массивами, добавлены системные функции и методы для работы с массивами, а также специальный оператор цикла по элементам массива.

Глава 8 посвящена методам и способам объявления элементов сложных проектов. Новыми здесь являются пакеты и единицы компиляции, а также способы ссылки на имена в дереве иерархии проекта. Пакеты позволяют один раз объявить элементы проекта, а затем использовать эти объявления в любом модуле проекта. В языке SystemVerilog допускается компиляция больших проектов по частям. Единица компиляции — это некоторая часть проекта, представляющая собой исходные файлы, которые компилируются одновременно.

В главе 9 рассматриваются операции и выражения. В языке SystemVerilog операции языка Verilog расширены операциями языка программирования C, операцией членства множества, операциями распределения и потоковыми операциями. Новыми в языке SystemVerilog также являются агрегатные выражения, в которых можно использовать упакованные структуры и массивы.

В главе 10 представлены операторы назначения, которые совпадают с аналогичными операторами языка Verilog. Язык SystemVerilog добавляет новые операторы назначения с выполнением отдельных операций, как в языке C.

Глава 11 посвящена процессам. Процесс в языке SystemVerilog — это общее понятие совокупности действий по обработке данных. Процессы создаются процедурами или процедурными операторами. Язык SystemVerilog расширяет структурные процедуры и добавляет тонкое управление процессами.

В главе 12 описываются процедурные операторы. Язык SystemVerilog вводит квалификаторы уникальности и приоритета в условный оператор и оператор выбора, расширен также список операторов цикла и операторов перехода.

В главе 13 рассматриваются задачи и функции языка SystemVerilog. Язык SystemVerilog снимает большинство ограничений для задач и функций языка Verilog, что приравнивает использование задач и функций к языкам программирования, а также упрощает разработку больших и сложных проектов.

В главе 14 представлены интерфейсы. Интерфейсы — это новый механизм для описания соединений между компонентами большого проекта. Интерфейс разрешает группу имен портов заменить одним именем, позволяя разработчику сосредоточиться на функциональности системы, а не на проверке правильности подсоединения сигналов к портам модулей. Интерфейсы могут иметь собственную функциональность, соответствующую протоколу передачи данных. Язык SystemVerilog также позволяет создавать древовидную структуру интерфейсов для соединения компонентов сложной системы.

Глава 15 посвящена автоматической генерации кода. Конструкции языка SystemVerilog для генерации кода позволяют формировать последовательность повторяющихся фрагментов кода и выбирать по условию отдельные фрагменты кода. Конструкции генерации кода языка SystemVerilog выполняют функции препроцессора языков программирования.

В главе 16 описываются директивы Компилятора языка SystemVerilog. Директивы дают указания Компилятору как интерпретировать исходный код проекта. Отдельные директивы языка SystemVerilog совпадают с директивами языков программирования (директивы макроопределений, условной компиляции, включения файлов). Другие директивы являются специфичными для языка SystemVerilog (директивы определения значений единиц времени, определения типа цепей по умолчанию, определения логических значений для не подсоединённых входов и др.).

В главе 17 рассматриваются примитивы языка SystemVerilog. Язык SystemVerilog имеет достаточно бедный набор predefined примитивов. Однако язык SystemVerilog предоставляет механизм для создания примитивов языка самим пользователем. Пользователь может создать комбинационные или последовательностные примитивы. Причем последовательностные примитивы могут быть чувствительными к уровню или к фронту управляющего сигнала, а также одновременно и к уровню, и к фронту управляющего сигнала.

Глава 18 посвящена конфигурации проекта. Конфигурация проекта непосредственно связана с проблемами создания больших проектов несколькими группами разработчиков. Конфигурации проектов позволяют избежать дублирования имен модулей и примитивов в разных частях проекта. Конфигурации также указывают физическое местоположение файлов с исходными кодами проекта.

В приложении А перечислены ключевые слова языка SystemVerilog.

Каждой главе предшествует описание проблем, решение которых средствами языка SystemVerilog рассматривается в данной главе. Каждая глава заканчивается выводами. В выводах в краткой форме излагаются основные положения, рассматриваемые в данной главе, внимание читателя акцентируется на наиболее важных моментах, которые могли быть упущены во время прочтения главы.

Книга в первую очередь предназначена для разработчиков цифровых систем и студентов соответствующих специальностей технических университетов. Материал книги может быть использован преподавателями для чтения лекций, проведения лабораторных и практических занятий. Книга содержит много детальных описаний, поэтому может использоваться в качестве справочника по языку SystemVerilog.

Написание данной книги частично финансировались грантом Белостокского технологического университета из ресурсов для научных исследований Министерством науки и высшего образования Республики Польша.