

# Оглавление

Предисловие .....	3
Введение .....	4
Проектирование .....	5
Назначение данного издания.....	5
Информация и ресурсы.....	6
Благодарности.....	7
1. Обзор микросхем программируемой логики фирмы Xilinx .....	8
1.1. Начальные сведения о ПЛИС .....	8
1.2. Устройства с архитектурой CPLD .....	9
1.3. Устройства с архитектурой FPGA .....	20
1.4. Перспективы .....	40
2. САПР Xilinx Foundation Series .....	42
2.1. Основные сведения .....	42
2.2. Порядок работы.....	43
3. САПР Integrated Software Environment.....	63
3.1. Основные сведения .....	63
3.2. Характеристики и требования .....	64
3.3. Порядок работы.....	67
4. Проектирование цифровых устройств с использованием языка описания аппаратуры VHDL.....	99
4.1. Общие сведения .....	99
4.2. Реализация на VHDL основных цифровых узлов .....	113
Логические элементы и дешифраторы.....	113
Триггеры и регистры .....	116
Счетчики и делители частоты .....	119
Мультиплексоры.....	122
Постоянные запоминающие устройства .....	123
Оперативные запоминающие устройства .....	124
Включение в VHDL-описание аппаратных ресурсов ПЛИС .....	132
Управление начальным состоянием элементов ПЛИС на VHDL.....	134

4.3. Цифровые интерфейсы и модули .....	137
Широтно-импульсная модуляция .....	138
Сторожевой таймер.....	139
Контроллер последовательного интерфейса RS-232 .....	140
Интерфейс ISA.....	146
Интерфейс PCI .....	149
4.4. Управляющие автоматы и микроконтроллеры .....	159
Простой программируемый контроллер .....	159
Арифметико-логическое устройство.....	162
4.5. IP-ядра и средства синтеза высокого уровня .....	164
5. Программирование ПЛИС Xilinx .....	167
Загрузка устройств FPGA с помощью внешнего контроллера.....	171
Загрузка FPGA с помощью внешнего ПЗУ .....	172
6. Проектирование цифровых устройств с использованием микросхем CPLD .....	175
6.1. Оценка ресурсов, требуемых для реализации проекта и выбор ПЛИС .....	176
6.2. Разработка печатной платы .....	176
6.3. Трансляция проекта .....	177
6.4. Программирование CPLD.....	178
7. Проектирование цифровых устройств с использованием микросхем FPGA .....	179
7.1. Оценка ресурсов, требуемых для реализации проекта, и выбор ПЛИС .....	181
7.2. Разработка печатной платы .....	182
7.3. Трансляция проекта .....	184
7.4. Программирование FPGA.....	185
Приложение 1. Описание библиотечных компонентов семейства Spartan-II .....	186
Группа Buffer .....	191
Группа Carry_Logic .....	193
Группа Comparator.....	194
Группа Counter (счетчики).....	195
Группа Decoder (дешифраторы) .....	199
Группа Flip_Flop (триггеры).....	200

Группа General (компоненты общего назначения) .....	205
Группа компонентов управления состоянием сигнала.....	208
Группа IO (компоненты ввода-вывода) .....	209
Группа IO_FlipFlop (триггеры, совмещенные с блоками ввода-вывода).....	211
Группа IO_Latch (защелки, совмещенные с блоками ввода-вывода).....	212
Группа Latch (защелки) .....	213
Группа Logic (логика).....	214
Группа LUT (Look-Up Tables) .....	216
Группа Map (компоненты отображения ресурсов) .....	217
Группа Memory (память) .....	218
Группа Mux (мультиплексоры) .....	222
Группа Shift_Register (сдвиговые регистры).....	224
Группа Shifter (устройства сдвига).....	225
Группа Spartan2E_IO (блоки ввода-вывода серии Spartan-II) .....	227
Приложение 2. Описание библиотечных компонентов	
серии Virtex .....	228
Группа DDR .....	228
Группа Mult.....	229
Приложение 3. Описание библиотечных компонентов серии	
XC9500 .....	231
Группа Buffer .....	235
Группа Comparator.....	236
Группа Counter (счетчики).....	236
Группа Decoder (дешифраторы) .....	238
Группа Flip_Flop (триггеры).....	239
Группа General (компоненты общего назначения) .....	241
Группа IO (компоненты ввода-вывода) .....	241
Группа Latch (защелки) .....	243
Группа Logic (логика).....	244
Группа Mux (мультиплексоры) .....	245
Группа Shift_Register (сдвиговые регистры).....	246
Группа Shifter (устройства сдвига).....	247
Литература .....	249